

УДК 53.083.722

БЫСТРОДЕЙСТВУЮЩАЯ ПАМЯТЬ ДЛЯ МНОГОКАНАЛЬНЫХ ПРЕОБРАЗОВАТЕЛЕЙ ВРЕМЯ–КОД

*И.Р.Русанов, И.Х.Атанасов*¹

Описывается быстродействующая двухпортовая память с собственными схемами управления, формирующими сигналы записи и считывания. Информация в памяти считывается в обратном порядке — last-in/first-out. Память разработана для многоканальных преобразователей время — код, требующих синхронных режимов записи и считывания данных.

Работа выполнена в Лаборатории высоких энергий ОИЯИ и в Институте ядерных исследований и ядерной энергетики БАН, София.

THE FAST-ACTING MEMORY FOR MULTICHANNEL CONVERTERS OF TIME TO DIGITAL

I.R.Rusanov, I.H.Atanassov

The fast-acting memory is described. The memory is dual-port buffer with internal pointers that load and empty data on a last-in/first-out basis. It is designed for application in the multichannel converters of time to digital requiring synchronous read/writes.

The investigation has been performed at the Laboratory of High Energies, JINR and INRNE BAS, Sofia.

1. ВВЕДЕНИЕ

Одной из центральных проблем при разработке многоканальных временных анализаторов счетно-импульсного типа является организация процесса считывания данных из кодирующего счетчика в цифровое запоминающее устройство. Можно выделить два различных подхода к решению этой задачи [1,2,3]. Первый подход предполагает считывание данных с непрерывно работающего счетчика стоповыми импульсами, сфазированными с импульсами времязадающей последовательности. Если выполняются условия:

$$T_c < T_e \quad \text{и} \quad T_e - T_c \geq T_w$$

¹ИЯИЭ БАН, София

(где T_e — период времязадающих колебаний, T_c — время кодирования счетчика, T_w — время записи информации в память), то данная задача решается при помощи многоступенчатых схем селекции и синхронизации сигналов. К достоинствам этого метода относятся высокое временное разрешение и малое мертвое время регистрации. Они практически равны одному периоду опорного генератора.

Для достижения приемлемой статистической точности при проведении многоканального временного анализа требуется накопление больших объемов информации ($\geq 1M$ бит) [3,4]. Реализация быстродействующих цифровых запоминающих устройств такой емкости представляет значительные технические трудности. Поэтому запоминающие устройства современных временных анализаторов строятся по многоступенчатой схеме. Основному относительно медленному запоминающему устройству в них предшествует быстродействующее буферное запоминающее устройство малой емкости, согласующее преобразователь время — код с основной памятью системы.

Кроме того, для сокращения времени обмена данными между ЭВМ и многоканальным временным анализатором необходимо обеспечить исключение нулевой информации и передачу только значащей, упаковать и разделить данные разных событий [4,5]. Таким образом, наряду с увеличением скорости регистрации и счета данных повышается эффективность использования ЭВМ, данные в которые передаются в виде накопленных массивов.

2. ОПИСАНИЕ БЫСТРОДЕЙСТВУЮЩЕЙ БУФЕРНОЙ ПАМЯТИ

В многоканальном многостоповом преобразователе время — код [6] оценка временных интервалов осуществляется по счетно-импульсному методу («грубо» — 10 бит) с интерполятором на основе фазового кодирования (3 бит). Для накопления измерительной информации используют быстродействующую буферную память (ББП). Память разработана на основе программируемых логических матриц. По логическим уровням входных и выходных сигналов, напряжению питания и диапазону рабочих температур ББП согласуется с *TTL*-логикой серии *74FXX*. Емкость памяти составляет 3328 бит (16 блоков памяти типа *LIFO* — 16×13). Блоковая схема ББП приведена на рис. 1. Для обеспечения требования многоканальных временных анализаторов буферная память состоит из 16 отдельных синхронных блоков памяти (СП) типа *LIFO* с общей схемой управления режима считывания данных и выходного буфера.

Быстродействующая память имеет:

- общий 10-разрядный вход сигналов записываемой информации $ID[3...12]$;
- 16 трехразрядных входов сигналов записываемой информации $Ch[1...16] - ID[0...2]$;
- общий 13-разрядный выход сигналов считываемой информации $OD[0...12]$;
- 16 входов сигналов разрешения записи $WE[1...16]$;
- вход сигнала разрешения считывания CE ;
- вход переключения режимов записи и считывания \bar{R}/W ;
- вход тактового сигнала синхронной записи $WCLK$;
- вход тактового сигнала синхронного считывания данных $RCLK$;
- вход сигнала установления памяти в начальном состоянии — $RESET$;

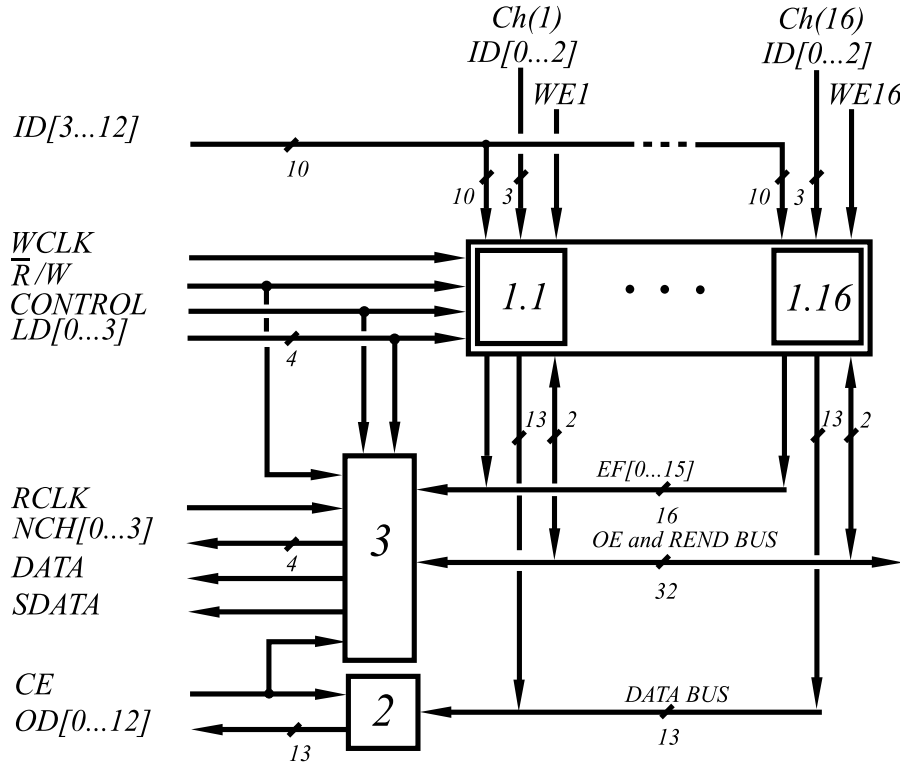


Рис. 1. Блоковая схема БВП. 1–16 — блоки памяти типа *LIFO*, 2 — выходной буфер, 3 — схема управления режима считывания данных

— входы дополнительных сигналов управления — $CTRL[0...1]$, $LD[0...3]$ и $EXTEND$;

— выходы дополнительных сигналов — $NCH[0...3]$, $DATA$ и $SDATA$.

В быстродействующей памяти реализуются три режима работы: запись, считывание и хранение информации. В режиме «запись» на входы $WE[1...16]$ подается сигнал разрешения записи, управление этой операцией осуществляется по входу \overline{R}/W . Если $\overline{R}/W = 1$, то информация заносится по выбранному адресу в синхронную память типа *LIFO*, на вход которой действует сигнал $WE(i) = 1$. При $\overline{R}/W = 0$ производится считывание хранимой информации из БВП, если на вход CE подается сигнал разрешения считывания ($CE = 1$).

2.1. Режим «запись». Блоковая схема синхронной памяти типа *LIFO* приведена на рис. 2. Каждая память содержит две запоминающих матрицы, емкостью соответственно 160 бит (16×10) и 48 бит (16×3), 4-разрядный адресный счетчик (АСч), мультиплексор адресов и логику управления. На рис. 3 показана временная диаграмма работы памяти в режиме записи. Применение АСч с предварительной установкой кодов позволяет задавать количество циклов записи в память. Перед началом записи счетчик переводится в исходное состояние. Для этого на вход $RESET$ подается однократный импульс ($RESET = 1$), и все выходы АСч переходят в состояние определяемого цифрового кода $LD[0...3]$.

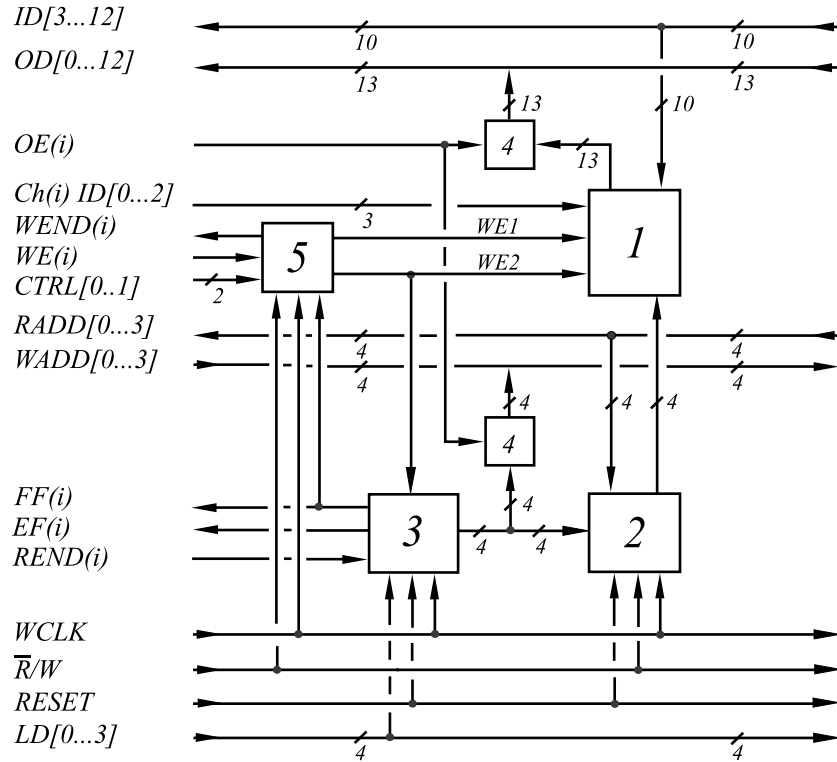


Рис. 2. Блоковая схема синхронной памяти типа *LIFO*. 1 — запоминающие матрицы, 2 — мультиплексор адресов, 3 — адресный счетчик АСч, 4 — буферы, 5 — логика управления

Переход от режима хранения к режиму записи осуществляется подачей импульса высокого уровня на вход \bar{R}/W . Коды с адресного счетчика через мультиплексор адресов выдаются одновременно на адресные входы запоминающих матриц. Для начала цикла записи на вход $WE(i)$ подается импульс высокого уровня. Схема синхронизации записи формирует из сигнала разрешения записи $WE(i)$ при помощи тактовых импульсов серии $WCLK$ сигналы $WE1$ и $WE2$:

— по сигналу $WE1$ заносится цифровой код, определяющий состояние информационных входов $ID[3...12]$ в СП по заданному адресу. Запись осуществляется по положительному фронту второго тактового импульса за сигналом $WE(i)$;

— по сигналу $WE2$ заносится цифровой код, определяющий состояние информационных входов $Ch(i) ID[0...2]$ в СП по тому же адресу. Запись осуществляется по третьему тактовому импульсу.

Во время первого цикла записи данных в буферную память по сигналу $WE2$ формируется сигнал $EF(i)$, который указывает на то, что в канале имеются ненулевые данные.

Следует смена адресов памяти. На тактовый вход счетчика непрерывно подаются тактовые импульсы серии $WCLK$. В каждом цикле записи с выхода схемы синхронизации на вход «разрешения счета» адресного счетчика подается сигнал $WE2$. По положительному фронту тактового сигнала изменяется состояние адресного счетчика. В это время

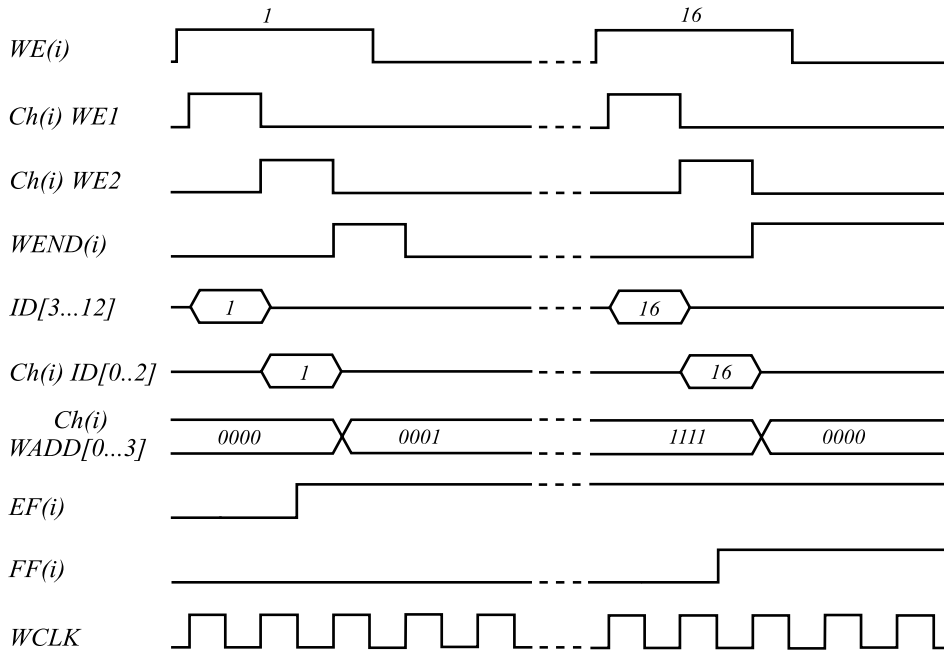


Рис. 3. Временная диаграмма работы ББП в режиме записи

формируется и сигнал $WEND(i)$, который указывает на то, что в памяти закончен цикл записи. После этого память готова к записи следующего цифрового кода. Для этой синхронной памяти типа *LIFO* минимальная длительность каждого сигнала записи ($WE1$ и $WE2$) составляет 8 нс, что при точной синхронизации информационных сигналов и сигналов тактовой серии $WCLK$ позволяет заносить в ББП данные, поступающие с частотой порядка $f = 128$ МГц.

Если на вход $CTRL0$ действует сигнал высокого уровня, то по окончании последнего заданного цикла записи каждая синхронная память типа *LIFO* блокируется по сигналу «переполнения памяти» $FF(i)$, и выход $WEND(i)$ устанавливается в состояние высокого логического уровня.

При $CTRL0 = 0$ производится непрерывная запись. Для этого каждая СП типа *LIFO* сканируется 4-разрядным кольцевым счетчиком. По сигналу $RESET$ все выходы АСч устанавливаются в состояние «0000». В этом случае запись осуществляется по каждому сигналу $WE(i)$ до подачи сигнала низкого уровня на вход \bar{R}/W . Если во время записи АСч любой памяти типа *LIFO* переходит через состояние «1111», то формируется сигнал «переполнения памяти» $FF(i)$, но память не блокируется. В каждой памяти сохраняются данные последних 16 циклов записи.

Кроме этого, на вход $CTRL1$ необходимо подать сигнал «сканирования шкалы измерения», если память используется как промежуточный накопитель для преобразователей время — код, работающих в режиме «общий стоп»[6]. Если во время текущего периода «сканирования» не был зарегистрирован ни один сигнал $WE(i)$ в СП типа *LIFO*, а во время переходного периода был осуществлен цикл записи, то при переходе к новому пе-

риоду «сканирования» данная синхронная память обнуляется. Таким образом, в каждой синхронной памяти сохраняются данные только последних двух периодов «сканирования шкалы измерения».

2.2. Режим «считывание». На рис. 4 представлена структурная схема блока управления считывания данных. Он состоит из общего адресного счетчика (ОАСч), компараторов, схемы управления и синхронизации считывания данных. На рис. 5 приведена временная диаграмма работы ББП в режиме считывания. После завершения каждого цикла «запись» и обнаружения факта наличия данных в ББП (сигнал $DATA = 1$) память переключается в режим их считывания (\overline{R}/W и $= 1$). Схема управления осуществляет дешифровку поступающей с синхронных блоков памяти типа *LIFO* информации и организует процесс считывания данных. Очередность обращения к СП типа *LIFO* и номер текущей памяти определяется при помощи приоритетного шифратора и сигналов $EF[0...15]$. Выходные сигналы шифратора $NCH[0...3]$, преобразованные с помощью дешифратора, подаются на входы выборки памяти. Устройство синхронизации формирует сигналы считывания и управления. По сигналам $OE[0...15]$ разрешается считывание данных из первой памяти типа *LIFO*, в которой есть ненулевые данные. Цифровой код выходов АСч выбранной памяти через буфер поступает на общую шину $WADD[0...3]$, с которой подается на входы общего адресного счетчика и компараторов. По сигналу $LOAD$ загружается содержимое адресной шины в общий адресный счетчик.

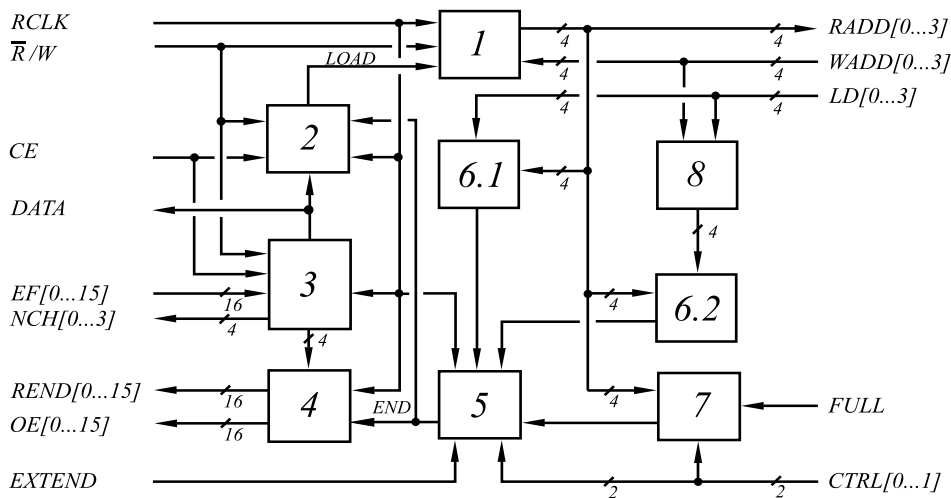


Рис. 4. Структурная схема блока управления считывания данных. 1 — общий адресный счетчик ОАСч; 2 — схема управления ОАСч; 3,4 — схемы управления и синхронизации считывания данных; 5 — мультиплексор; 6,7 — компараторы; 8 — сумматор

Общий адресный счетчик работает в режиме вычитания, и информация в памяти считывается в обратном порядке. Момент окончания съема информации из выбранной памяти типа *LIFO* определяется при помощи компараторов. Если на входе $CTRL0$ действует сигнал высокого уровня, то условием окончания съема является равенство между состоянием ОАСч и заданным количеством циклов записи. При $CTRL0 = 0$ процесс чтения выбранной памяти типа *LIFO* прекращается в следующих случаях:

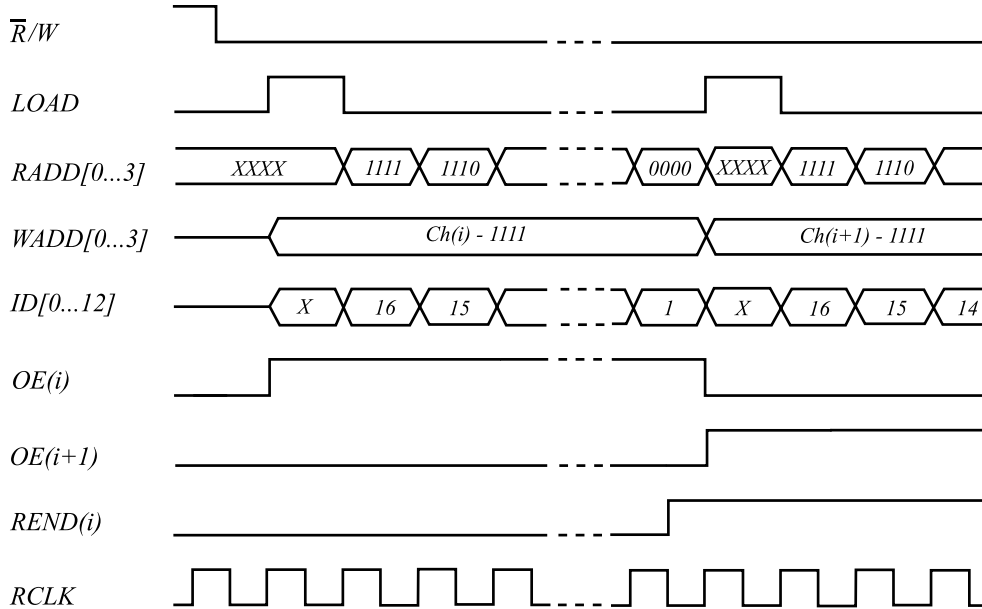


Рис. 5. Временная диаграмма работы БПП в режиме считывания

— сигнал $FF(i) = 0$. Информация занимает меньше 16 адресов. Условием окончания является установление ОАСч в состояние «0000»;

— сигнал $FF(i) = 0$. Информация занимает меньше 16 адресов, и зарегистрированное количество циклов записи в памяти больше, чем заданное. Состояние общего адресного счетчика уменьшается на заданное количество циклов записи;

— сигнал $FF(i) = 1$. Информация занимает 16 адресов. Состояние ОАСч уменьшается на заданное количество циклов записи. В этом случае по сигналу $FULL$ блокируется компаратор, который следит за переходом выходов ОАСч через состояние «0000».

Эти условия отвечают всем возможным вариантам записанной информации и обеспечивают считывание только значащей информации, определяемой заданным количеством циклов записи. В БПП предусмотрен дополнительный вход сигнала $EXTEND$, по которому тоже прекращается процесс считывания данных из текущей памяти типа $LIFO$.

Время считывания данных из БПП определяется из выражения

$$T_{READ} = T_{RCLK} \left(16 + \sum_{i=1}^{16} H_i \right),$$

где T_{RCLK} — период тактового сигнала считывания данных $RCLK$, H_i — количество циклов записи в i -й СП типа $LIFO$.

После этого формируется сигнал $REND(i)$, по которому отключаются выходы адресного счетчика АСч и запоминающих матриц выбранной памяти с внутренних магистралей. Начинается съём информации со следующей памяти типа $LIFO$, в которой имеются ненулевые данные.

Во время считывания данных состояние выходов $NCH[0...3]$ определяет номер выбранной памяти типа *LIFO*. Для каждой СП считываемые данные из памяти и цифровой код, указывающий ее номер, появляются на выходах ББП одновременно и синхронно относительно тактовых импульсов серии *RCLK*. На выходе *SDATA* устанавливается сигнал высокого уровня, действующего во время считывания данных из текущей СП типа *LIFO*.

3. ЗАКЛЮЧЕНИЕ

Разработанная быстродействующая буферная память используется в качестве промежуточного накопителя в многоканальном преобразователе время — код [6]. По способу обращения ББП является памятью с параллельно-последовательной выборкой. В памяти используются 16 одинаковых буферных накопителей типа LIFO. Во время записи они работают параллельно, а во время считывания образуют общую буферную память со страничной организацией. Кроме этого, запись и считывание осуществляются отдельными тактовыми импульсами соответственно *WCLK* и *RCLK*. Такая организация памяти наряду с возможностью высокоскоростной записи информации позволяет обеспечить перезапись только ненулевых данных во вторую ступень накопителя, имеющую умеренное быстродействие, но большую емкость.

Авторы выражают благодарность А.Г. Литвиненко и С.В. Афанасьеву за интерес к работе и полезные обсуждения. Мы очень признательны проф. В.Н. Пеневу за постоянное внимание и поддержку нашей работы в Дубне.

Литература

1. Цитович А.П. — Ядерная электроника. М.: Энергоатомиздат, 1984.
2. Мелешко Е.А. — Наносекундная электроника в экспериментальной физике. М.: Энергоатомиздат, 1987.
3. Данилевич В.В. — ПТЭ, 1987, №3, с.7.
4. Замятин Н.И. — Препринт ОИЯИ 13-88-457, Дубна, 1988.
5. Passaseo M., Petrolo E., Veneziano S. — NIM, 1995, A367, p.418.
6. Русанов И.Р., Атанасов И.Х. — Краткие сообщения ОИЯИ, 1998, №6[92], с.55.

Рукопись поступила 7 февраля 2000 года.